

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-203914

(43)Date of publication of application : 18.07.2003

(51)Int.Cl.

H01L 21/3205  
H01L 21/28  
H01L 21/288  
H01L 27/00

(21)Application number : 2002-002683

(71)Applicant : JAPAN SCIENCE & TECHNOLOGY  
CORPKUMABO METAL:KK  
TOPPAN PRINTING CO LTD  
OGATA KOGYO KK  
NODAICHI DENSHI:KK

(22)Date of filing : 09.01.2002

(72)Inventor : NIIMIYABARA SHOZO

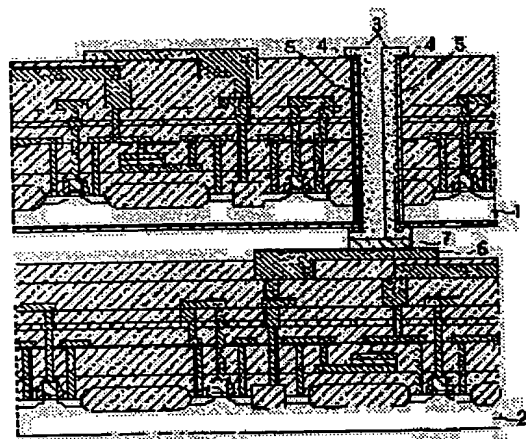
BABA TOMOYUKI  
FURUYA AKIHIKO  
O ZORIN  
YASUDA KEIICHIRO  
IKEDA HIDEO  
HAGIWARA MUNEAKI(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURING METHOD  
THEREFOR

(57)Abstract:

**PROBLEM TO BE SOLVED:** To make diffusion preventing films adhere surely to the inner walls of a mutual connection recessed part by a low-temperature process in a semiconductor integrated circuit device, and to provide the manufacturing method.

**SOLUTION:** The mutual connection recessed part connecting upper and lower electrodes is filled with mutual connection conductors 3, consisting of metal whose resistance is lower than polycrystalline silicon including impurity; the diffusion-preventing films 4, consisting of electroless plating films are arranged between the inner walls of the mutual connection recessed part and the mutual connection conductors 3.

本発明の原理的構成の説明図



1. 上層半導体  
2. 半導体基板  
3. 相互接続導体

4. 拡散防止膜  
5. 絶縁膜  
6. 電極層  
7. 保護層

## LEGAL STATUS

[Date of request for examination]

09.01.2002

[Date of sending the examiner's decision of rejection]

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

3567377

[Date of registration]

25.06.2004

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-203914

(P2003-203914A)

(43) 公開日 平成15年7月18日 (2003.7.18)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)	
H 0 1 L 21/3205		H 0 1 L 21/28	3 0 1 C	4 M 1 0 4
21/28	3 0 1		3 0 1 Z	5 F 0 3 3
		21/288	Z	
21/288		27/00	3 0 1 C	
27/00	3 0 1	21/88	J	
審査請求 有 請求項の数 7 O L (全 15 頁) 最終頁に続く				

(21) 出願番号 特願2002-2683 (P2002-2683)

(22) 出願日 平成14年1月9日 (2002.1.9)

(71) 出願人 396020800

科学技術振興事業団

埼玉県川口市本町4丁目1番8号

(71) 出願人 501080321

株式会社熊防メタル

熊本県熊本市長峰西1丁目4番15号

(71) 出願人 000003193

凸版印刷株式会社

東京都台東区台東1丁目5番1号

(74) 代理人 100105337

弁理士 眞鍋 潔

最終頁に続く

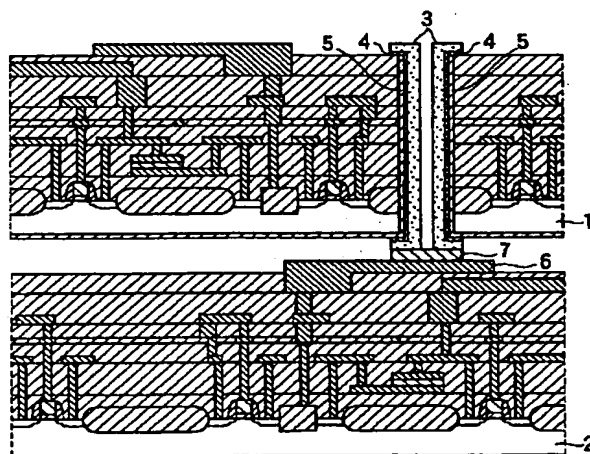
(54) 【発明の名称】 半導体集積回路装置及びその製造方法

(57) 【要約】

【課題】 半導体集積回路装置及びその製造方法に関し、低温プロセスによって相互接続用凹部の内側壁に拡散防止膜を確実に被着させる。

【解決手段】 上下の電極を接続する相互接続用凹部を不純物含有多結晶シリコンより低抵抗の金属からなる相互接続導体3で埋め込むとともに、相互接続用凹部の内側壁と相互接続導体3との間に無電解メッキ膜からなる拡散防止膜4を設ける。

本発明の原理的構成の説明図



1: 半導体基板  
2: 半導体基板  
3: 相互接続導体

4: 拡散防止膜  
5: 絶縁膜  
6: 配線層  
7: 接続部材

1

## 【特許請求の範囲】

【請求項 1】 上下の電極を接続する相互接続用凹部を不純物含有多結晶シリコンより低抵抗の金属からなる相互接続導体で埋め込むとともに、前記相互接続用凹部の内側壁と相互接続導体との間に無電解メッキ膜からなる拡散防止膜を設けたことを特徴とする半導体集積回路装置。

【請求項 2】 上記相互接続導体が、積層された上下の半導体基板同士を電氣的に接続する接続導体であることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】 上記相互接続導体が、半導体基板内に設けた上下の配線層或いは電極のいずれか同士を接続するビアであることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 4】 上記拡散防止膜が、高融点金属を含むとともに、Ni, Ti, Zr, Nb, Co, Mn, Cr, Fe, Zn の内の少なくとも一つを含む合金からなることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 5】 上記相互接続導体が、Cu 或いは Cu を主成分とする Cu 合金のいずれかからなることを特徴とする請求項 5 記載の半導体集積回路装置。

【請求項 6】 半導体基板に素子形成領域を越える深さの相互接続用凹部を形成したのち、前記半導体基板を裏面から研磨して前記相互接続用凹部を相互接続用貫通孔とする工程、少なくとも前記相互接続用貫通孔の内側壁に絶縁膜を形成する工程、少なくとも前記相互接続用貫通孔の内側壁に無電解メッキ法を用いて拡散防止膜を形成する工程、及び、前記拡散防止膜を介して相互接続導体を形成して前記相互接続用貫通孔を埋め込む工程とを少なくとも有することを特徴とする半導体集積回路装置の製造方法。

【請求項 7】 半導体基板に素子形成領域を越える深さの相互接続用凹部を形成したのち、少なくとも前記相互接続用凹部の内側壁に絶縁膜を形成する工程、少なくとも前記相互接続用凹部の内側壁に無電解メッキ法を用いて拡散防止膜を形成する工程、前記拡散防止膜を介して相互接続導体を形成して前記相互接続用凹部を埋め込む工程、及び、前記半導体基板を裏面から研磨して前記相互接続導体の底部を露出させる工程とを少なくとも有することを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体集積回路装置及びその製造方法に関するものであり、特に、複数の半導体基板を貼り合わせて三次元構造を形成する際の相互接続用貫通導体を構成する金属元素のマイグレーションを防止のための拡散防止膜の構成に特徴のある半導体集積回路装置及びその製造方法に関するものである。

## 【0002】

2

【従来の技術】 近年、微細加工技術の進歩により半導体集積回路装置の高集積化及び高性能化がなされてきたが、微細化による高密度化が限界にきているため、回路素子を形成した半導体基板を積層させた三次元半導体集積回路装置の開発が進められてきた。

【0003】 この様な三次元半導体集積回路装置の製造方法の一つとして、半導体基板に回路素子及び電極を形成したのち、絶縁膜を上面に被覆し、さらに、気相成長法等により成長させた多結晶シリコン膜を再結晶化し、この再結晶化したシリコン層に回路素子を形成することで三次元化を実現する方法がある。

【0004】 また、他の方法としては、近年、回路素子を形成した複数枚の半導体基板を貼り合わせるることによって三次元構造を実現することも提案されている。

【0005】 これらの方法において、各半導体層或いは基板に形成されている回路素子同士等を電氣的に接続するために、半導体基板を貫通する電氣的接続孔を形成する必要がある、特に、後者の基板貼り合わせ方法においては、研磨により半導体基板を薄層化するとは言え、十分に深い接続用の孔を形成する必要がある。

【0006】 ここで、図 9 及び図 10 を参照して、従来の三次元半導体集積回路装置の製造工程の一例を概略的に説明する。

図 9 (a) 参照

まず、通常の半導体集積回路装置と同様に、例えば、p 型シリコン基板 41 の所定領域を選択酸化することによって素子分離埋込酸化膜 42 を形成したのち、この素子分離埋込酸化膜 42 に囲まれた素子形成領域の表面にゲート絶縁膜 43 を形成する。

【0007】 次いで、ドーフトポリシリコン等からなるゲート電極 44 を形成したのち、ゲート電極 44 をマスクとして n 型不純物を選択的に導入して n 型のソース・ドレイン領域 45 を形成し、次いで、全面に SiO<sub>2</sub> 膜等からなる層間絶縁膜 46 を設けたのち、ソース・ドレイン領域 45 に対するコンタクトホールを形成し、次いで、コンタクトホールを介してソース・ドレイン電極 47 を形成したのち、再び、全面を BPSG 膜等からなる層間絶縁膜 48 で覆う。

【0008】 図 9 (b) 参照

次いで、通常のフォトエッチング技術を用いて、p 型シリコン基板 41 に十分深い相互接続用凹部 49 を設けたのち、熱酸化によって相互接続用凹部 49 の露出表面に熱酸化膜 50 を形成する。なお、この場合、図示を簡単にするために、一個の IGFET の両側に相互接続用凹部 49 を形成しているが、相互接続用凹部 49 を設ける位置及び個数は、必要とする回路構成に応じて適宜決定するものである。

【0009】 図 9 (c) 参照

次いで、CVD 法を用いて全面にドーフト多結晶シリコン等の導電体膜を堆積して相互接続用凹部 49 を埋め込

3

んだのち、バックエッチング或いはCMP（化学機械研磨）等によって平坦化して、導電体膜を相互接続用凹部49の内部にのみ残存するようにして相互接続用導体51を形成する。

【0010】図10（d）参照

次いで、再び、CVD法等を用いて全面にドーフトポリシリコン等の導電体膜を形成したのち、所定パターンにエッチングすることによって、相互接続用導体51に接続する表面配線層52を形成する。

【0011】図10（e）参照

次いで、再び、CMP法等を用いてp型シリコン基板41の裏面を相互接続用導体51が露出するまで研磨する。

【0012】図10（f）参照

次いで、p型シリコン基板41の裏面にCVD法を用いてSiO<sub>2</sub>膜53を堆積させたのち、相互接続用導体51に対するコンタクトホールを形成し、次いで、再び、CVD法等を用いて全面にドーフトポリシリコン等の導電体膜を形成したのち、所定パターンにエッチングすることによって、相互接続用導体51に接続する裏面配線層54を形成する。

【0013】このような半導体集積回路装置を複数枚貼り合わせることによって三次元半導体集積回路装置が完成する。なお、この基板貼り合わせ工程において上層側の半導体基板に設けた相互接続用導体51と、下層側の半導体基板に設けた回路素子の引出電極或いはバンプ電極とが相互接続するように位置合わせして貼り合わせる。

【0014】しかし、相互接続用導体51としてドーフトポリシリコンを用いた場合には、ドーフトポリシリコンの電気抵抗率が高いため、半導体集積回路装置の高速動作に適さないため、ドーフトポリシリコンの代わりにCu、Ag、Au等の低抵抗金属を用いることが提案されている（必要ならば、特開昭63-213943号公報参照）。

【0015】このようなCu、Ag、Au等の低抵抗金属を用いた場合には、相互接続導体を形成した後の製造工程における熱工程において、低抵抗金属がシリコン酸化膜中を拡散してシリコン基板中に混入し、シリコン基板内において深い不純物準位や転位、或いは、析出合金等を形成し、半導体デバイスの動作を不安定化したり、動作特性を低下させるという問題がある。

【0016】このような低抵抗金属のマイグレーションの一因は、ソース・ドレイン領域45及び金属配線層を形成したのちは、ソース・ドレイン領域45の不純物プロファイルを変えないように或いは金属配線の信頼性を保つために400℃程度以下の低温処理が必要となるため、低温プロセスで形成したSiO<sub>2</sub>膜等を用いることが挙げられる。即ち、低温プロセスで形成したSiO<sub>2</sub>膜等は緻密性が低いために耐拡散性に劣るためである。

【0017】特に、シリコン基板中にディープレベルを

4

形成するCuは、酸化膜が高温酸化膜であってもマイグレーションが問題となるので、従来においては、Cuを配線層として用いる場合には、Cuの拡散防止のためにTiN膜やTa<sub>2</sub>N膜等のバリアメタルを介してCu層を設けている。

【0018】このようなCu等の低抵抗金属を用いて三次元半導体集積回路装置を形成する際の相互接続導体を形成する際には、50μmを越える深い相互接続用凹部を形成し、この相互接続用凹部の内側壁に絶縁膜を介してバリアメタルを形成する必要がある。

【0019】

【発明が解決しようとする課題】しかし、TiN膜等のバリアメタルは通常はスパッタリング法によって形成しているが、スパッタリング法はステップカヴァレッジ性が劣るので、スパッタリング法を用いた場合には、50μmを越える深い相互接続用凹部の内側壁にバリアメタルを確実に被着させることが困難であるという問題がある。

【0020】また、CVD法はスパッタリング法に比べてステップカヴァレッジ性が良好であるので、CVD法を用いて相互接続用凹部の内側壁にバリアメタルを被着させることは技術的には可能であるものの、装置コストが高くなるという問題があり、さらに、基板温度をある程度高くする必要があるという問題がある。

【0021】したがって、本発明は、低温プロセスによって相互接続用凹部の内側壁に拡散防止膜を確実に被着させることを目的とする。

【0022】

【課題を解決するための手段】ここで、図1を参照して本発明における課題を解決するための手段を説明するが、図における符号7は、相互接続導体3と配線層6とを接続する半田である。

図1参照

（1）本発明は、半導体集積回路装置において、上下の電極を接続する相互接続用凹部を不純物含有多結晶シリコンより低抵抗の金属からなる相互接続導体3で埋め込むとともに、相互接続用凹部の内側壁と相互接続導体3との間に無電解メッキ膜からなる拡散防止膜4を設けたことを特徴とする。

【0023】この様に、拡散防止膜4を無電解メッキ膜で形成することによって、拡散防止膜4を低温プロセスで形成することが可能になるので、既に形成してある半導体デバイスの不純物プロファイルを変えることがなく、また、ウェットプロセスであるので、相互接続用凹部の内側壁を拡散防止膜4によって確実に被覆することが可能になり、Cu等の低抵抗の金属からなる相互接続導体3からのマイグレーションを確実に防止することができ、それによって、半導体集積回路装置の動作特性の低下或いは不安定化を抑制することができる。

【0024】（2）また、本発明は、上記（1）におい

5

て、相互接続導体3が、積層された上下の半導体基板1, 2同士を電氣的に接続する接続導体であることを特徴とする。

【0025】上記の無電解メッキ膜からなる拡散防止膜4は、深い凹部の内側壁を確実に被覆することができるので、三次元半導体集積回路装置における上下の半導体基板1, 2同士を電氣的に接続する接続導体を形成する際の拡散防止膜4として用いることができる。

【0026】(3) また、本発明は、上記(1)において、相互接続導体3が、半導体基板1, 2内に設けた上下の配線層6或いは電極のいずれか同士を接続するビアであることを特徴とする。

【0027】また、この様な無電解メッキ膜からなる拡散防止膜4を、半導体基板1, 2内に設けた上下の配線層6或いは電極のいずれか同士を接続するためのビアホールの内壁及び底面を被覆する拡散防止膜4として用いることによって、高速動作化のためにCu等の低抵抗金属をビアとして用いた場合のマイグレーションを防止することができる。

【0028】(4) また、本発明は、上記(1)乃至(3)のいずれかにおいて、拡散防止膜4が、高融点金属を含むとともに、Ni, Ti, Zr, Nb, Co, Mn, Cr, Fe, Znの内の少なくとも一つを含む合金からなることを特徴とする。

【0029】この場合の拡散防止膜4は、W, Mo, Ta等の高融点金属を含むとともに、Ni, Co, Mn, Cr, Fe, Znの内の少なくとも一つを含む合金、例えば、W-Ni-Co-P, W-Ni-B, Ni-Mo-P, Mo-Co-Ni-N-P等の合金を用いることによって耐拡散性に優れたアモルファス膜とすることができる。

【0030】(5) また、本発明は、上記(5)において、相互接続導体3が、Cu或いはCuを主成分とするCu合金のいずれかからなることを特徴とする。

【0031】この様に、相互接続導体3としては、高速動作化を可能にするために、低温プロセスであるメッキにより形成が可能で低抵抗なCu、或いは、Cu-Pd合金、Cu-Si合金等のCuを主成分とするCu合金のいずれかが好適である。

【0032】(6) また、本発明は、半導体集積回路装置の製造方法において、半導体基板1, 2に素子形成領域を越える深さの相互接続用凹部を形成したのち、半導体基板1, 2を裏面から研磨して相互接続用凹部を相互接続用貫通孔とする工程、少なくとも相互接続用貫通孔の内側壁に絶縁膜5を形成する工程、少なくとも相互接続用貫通孔の内側壁に無電解メッキ法を用いて拡散防止膜4を形成する工程、及び、拡散防止膜4上に相互接続導体3を形成して相互接続用貫通孔を埋め込む工程とを少なくとも有することを特徴とする。

【0033】この様に、相互接続用貫通孔を形成したの

6

ち、絶縁膜5を介して拡散防止膜4及び相互接続導体3を形成することによって、相互接続用貫通孔の内側壁に拡散防止膜4及び相互接続導体3を確実に被着させることができる。なお、この場合、相互接続用貫通孔を完全に埋め込む必要はない。

【0034】(7) また、本発明は、半導体集積回路装置の製造方法において、半導体基板1, 2に素子形成領域を越える深さの相互接続用凹部を形成したのち、少なくとも相互接続用凹部の内側壁に絶縁膜5を形成する工程、少なくとも相互接続用凹部の内側壁に無電解メッキ法を用いて拡散防止膜4を形成する工程、拡散防止膜4上に相互接続導体3を形成して相互接続用凹部を埋め込む工程、及び、半導体基板1, 2を裏面から研磨して相互接続導体3の底部を露出させる工程とを少なくとも有することを特徴とする。

【0035】この様に、半導体基板1, 2を貫通する相互接続導体3を形成する場合に、相互接続用凹部を絶縁膜5を介して相互接続導体3で埋め込んだのち、半導体基板1, 2の裏面を研磨して貫通導体としても良いものである。

【0036】

【発明の実施の形態】ここで、図2乃至図5を参照して、本発明の第1の実施の形態の三次元半導体集積回路装置の製造工程を説明する。

図2(a)参照

まず、従来と同様に、例えば、p型シリコン基板11の所定領域を選択酸化することによって素子分離埋込酸化膜12を形成したのち、この素子分離埋込酸化膜12に囲まれた素子形成領域にMOSFET13を形成する。

【0037】このMOSFET13は、素子形成領域の表面にゲート絶縁膜を形成したのち、ドーフトポリシリコン等からなるゲート電極を形成し、次いで、ゲート電極をマスクとしてn型不純物を選択的に導入してn型のLDD(Lightly Doped Drain)領域を形成する。

【0038】次いで、全面にSiO<sub>2</sub>膜を堆積させたのち、異方性エッチングを施すことによってゲート電極の側部にサイドウォールを形成し、次いで、このサイドウォールをマスクとして再びn型不純物を導入することによってn型のソース・ドレイン領域を形成する。

【0039】以降は、必要に応じてキャパシタ14等の回路素子を形成するとともに、BPSG膜等からなる層間絶縁膜15の堆積工程、ビア16の形成工程、及び、配線層17の形成工程を必要とする回路構成に応じて繰り返すことによって一枚のウェハ分の半導体集積回路装置の基本構成が完成する。

【0040】図2(b)参照

次いで、異方性エッチング技術を用いて、p型シリコン基板11に、例えば、直径が10μmで、深さが70μmの相互接続用凹部18を設ける。なお、図示を簡単に



7

するために、一個の相互接続用凹部18しか示していないが、必要とする回路構成に応じて所定箇所に複数個設けるものである。

【0041】図3(c)参照

次いで、CMP法を用いてp型シリコン基板11の裏面を相互接続用凹部18の底部が露出するまで研磨して相互接続用貫通孔19とする。

【0042】図3(d)参照

次いで、CVD法を用いてp型シリコン基板11に設けた相互接続用貫通孔19の露出表面に、厚さが、例えば、 $0.5\mu\text{m}$ の $\text{SiO}_2$ 膜20を形成する。なお、図においては、基板表面側の $\text{SiO}_2$ 膜は図示を省略している。

【0043】図4(e)参照

次いで、フォトレジストを塗布し、露光・現像することによって相互接続用貫通孔19の近傍及び所定形状の配線層に対する開口部を有するレジストパターン21を形成したのち、触媒金属となるPdの水和物コロイドを含む溶液中に浸漬して、触媒活性化する。

【0044】次いで、無電解メッキ浴を用いて露出部に厚さが、例えば、 $0.5\mu\text{m}$ の拡散防止膜22を形成する。この場合、タングステン酸化物 $0.05\sim 0.5\text{mol/L}$ 、硫酸ニッケル $0.01\sim 0.2\text{mol/L}$ 、及び、硫酸コバルト $0.01\sim 0.2\text{mol/L}$ を金属塩として含み、還元剤として次亜磷酸を $0.05\sim 0.5\text{mol/L}$ 、錯化剤として酒石酸、クエン酸などのポリカルボン酸またはそのアルカリ金属塩を $0.01\sim 1.0\text{mol/L}$ 含み、また、必要に応じてチオ尿素などを数ppm微量添加した無電解メッキ浴とすることによって、W-Ni-Co-Pの4元の無電解メッキ膜とする。

【0045】このW-Ni-Co-Pからなる4元の無電解メッキ膜はアモルファスとなるので粒界が存在せず、それによって良好な拡散防止特性を有するものである。因に、この場合の拡散防止膜22の組成比は、例えば、

$\text{W:Ni:Co:P}=10:65:20:5$

とする。

【0046】図4(f)参照引き続いて、硫酸銅系の無電解メッキ浴を用いて拡散防止膜22の上に、厚さが、例えば、 $3\mu\text{m}$ の相互接続用導体23を形成したのち、レジストパターン21を除去することによって相互接続用導体23を設けた半導体集積回路基板が完成する。

【0047】この場合、まず、金属塩として硫酸銅を $0.02\sim 0.15\text{mol/L}$ 、還元剤として次亜磷酸塩を $0.1\sim 1.0\text{mol/L}$ 含み、錯化剤としてクエン酸、酒石酸などのポリカルボン酸またはそのアルカリ金属塩 $0.01\sim 0.1\text{mol/L}$ 、添加剤としてホウ酸 $0.2\sim 1.0\text{mol/L}$ を含む無電解メッキ浴を用いて厚さが $0.3\sim 0.5\mu\text{m}$ の銅を堆積させる。

8

【0048】次いで、金属塩として硫酸銅を $0.02\sim 0.15\text{mol/L}$ 、還元剤としてグリオキシル酸、ホルマリンまたはジメチルアミンボランなどのうちの少なくとも一つを $0.05\sim 0.3\text{mol/L}$ 含み、錯化剤としてエチレンジアミン四酢酸などのポリカルボン酸またはそのアルカリ金属塩 $0.05\sim 0.3\text{mol/L}$ 、また、必要に応じて2,2'-ビピリジルなどを数ppm微量添加した無電解メッキ浴を用いて残りの膜厚の銅を堆積させ、2段階の無電解メッキ工程で相互接続用導体23を形成する。

【0049】また、この場合の相互接続用導体23の厚さは、相互接続用貫通孔19の孔径の4割程度〔図においては、 $(0.5+3)\times 2/10=70\%$ 〕になる程度で充分であり、必ずしも相互接続用貫通孔19を完全に埋め込む必要はない。なお、工程の説明は省略しているが、上段の半導体集積回路基板に設けた相互接続用導体23との接続のために接続配線層24を形成する。

【0050】図5参照

上述の工程を接続回路パターンに応じて各半導体集積回路基板に対して行ったのち、上側の半導体集積回路基板に設けた相互接続用導体23と、下側の半導体集積回路基板に設けた接続配線層24とを接続部材25によって電気的に接続することによって、三次元半導体集積回路装置の基本的構成が完成する。

【0051】この場合、接続部材25は、Au/InバンプやAgフィラーを含む導電性接着剤からなり、これらを用いて低温で接着するものであり、上下の半導体集積回路基板同士の接着が不充分であれば、上下の半導体集積回路基板の間にエポキシ樹脂等の絶縁性接着剤を注入すれば良い（必要ならば、特開平11-261000号公報参照）。

【0052】なお、最下層となる半導体集積回路基板については、薄層化する必要はなく、且つ、基板を貫通する相互接続用導体は必ずしも設ける必要はない。但し、最下層となる半導体集積回路基板裏面を介して電源配線及び接地配線を取り出す場合には、基板を貫通する相互接続用導体を設ければ良い。

【0053】この様に、本発明の第1の実施の形態においては、相互接続用導体23を形成する際に、拡散防止膜を無電解メッキ法によって形成しているため、低温処理で、且つ、簡単な装置構成によって相互接続用貫通孔19の内壁に拡散防止膜を確実に被着することができ、それによって、Cu等の相互接続用導体23を構成する金属元素のマイグレーションを確実に防止することができる。

【0054】また、本発明の第1の実施の形態においては、無電解メッキ処理を施す前に、基板を研磨して、相互接続用凹部18を相互接続用貫通孔19としているので、メッキが相互接続用貫通孔19の両端から進行することになり、この点からも相互接続用貫通孔19の内壁

に拡散防止膜22及び相互接続用導体23を確実に被着することができる。

【0055】次に、図6乃至図10を参照して、本発明の第2の実施の形態の三次元半導体集積回路装置の製造工程を説明する。

図6(a)参照

まず、従来と同様に、例えば、p型シリコン基板11の所定領域を選択酸化することによって素子分離埋込酸化膜12を形成したのち、この素子分離埋込酸化膜12に囲まれた素子形成領域にMOSFET13を形成する。

【0056】このMOSFET13も、素子形成領域の表面にゲート絶縁膜を形成したのち、ドーフトポリシリコン等からなるゲート電極を形成し、次いで、ゲート電極をマスクとしてn型不純物を選択的に導入してn型のLDD(Lightly Doped Drain)領域を形成する。

【0057】次いで、全面にSiO<sub>2</sub>膜を堆積させたのち、異方性エッチングを施すことによってゲート電極の側部にサイドウォールを形成し、次いで、このサイドウォールをマスクとして再びn型不純物を導入することによってn型のソース・ドレイン領域を形成する。

【0058】以降は、必要に応じてキャパシタ14等の回路素子を形成するとともに、BPSG膜等からなる層間絶縁膜15の堆積工程、ビア16の形成工程、及び、配線層17の形成工程を必要とする回路構成に応じて繰り返すことによって一枚のウェハ分の半導体集積回路装置の基本構成が完成する。

【0059】図6(b)参照

次いで、異方性エッチング技術を用いて、p型シリコン基板11に、例えば、直径が10μmで、深さが70μmの相互接続用凹部18を設けたのち、CVD法を用いてp型シリコン基板11に設けた相互接続用凹部18露出表面に、厚さが、例えば、0.5μmのSiO<sub>2</sub>膜20を形成する。なお、この場合も図示を簡単にするために、一個の相互接続用凹部18しか示していないが、相互接続用凹部18を設ける位置及び個数は、必要とする回路構成に応じて適宜決定するものである。また、図においては、基板表面側のSiO<sub>2</sub>膜は図示を省略している。

【0060】図7(c)参照

次いで、触媒金属となるPdの水和物コロイドを含む溶液中に浸漬して、触媒活性化したのち、無電解メッキ浴を用いて露出部に厚さが、例えば、0.5μmの拡散防止膜22を形成する。この場合、タングステン酸ナトリウム0.05~0.5mol/L、硫酸ニッケル0.01~0.2mol/L、及び、硫酸コバルト0.01~0.2mol/Lを金属塩として含み、還元剤として次亜磷酸を0.05~0.5mol/L、錯化剤として酒石酸、クエン酸などのポリカルボン酸またはそのアルカリ金属塩を0.01~1.0mol/L含み、また、必

要に応じてチオ尿素などを数ppm微量添加した無電解メッキ浴とすることによって、Ni-Co-W-Pの4元の無電解メッキ膜とする。

【0061】このNi-Co-W-Pからなる4元の無電解メッキ膜もアモルファスとなるので粒界が存在せず、それによって良好な拡散防止特性を有するものである。因に、この場合の拡散防止膜22の組成比は、例えば、

Ni:Co:W:P=10:65:20:5

とする。

【0062】図7(d)参照

引き続いて、金属塩として硫酸銅を0.02~0.15mol/L、還元剤として次亜磷酸塩を0.1~1.0mol/L含み、錯化剤としてクエン酸、酒石酸などのポリカルボン酸またはそのアルカリ金属塩0.01~0.1mol/L、添加剤としてホウ酸0.2~1.0mol/Lを含む無電解メッキ浴を用いて拡散防止膜22の上に、厚さが、例えば、0.5μmの無電解Cuメッキ層(図示を省略)を形成したのち、この無電解メッキ層をメッキベース層として硫酸銅0.2~0.3mol/L、硫酸3~5規定を主成分とし、塩素イオン30~70ppmと適当な添加剤を含む電解液を用いた電解銅メッキ処理を施すことによってメッキ埋込層26を形成して、相互接続用凹部18を完全に埋め込む。

【0063】図8(e)参照

次いで、フォトリソを塗布し、露光・現像することによって相互接続用凹部18の近傍及び所定形状の配線層に対する開口部を有するレジストパターン27を形成したのち、過酸化水素水及び硝酸を含む溶液(HNO<sub>3</sub>+H<sub>2</sub>O<sub>2</sub>+水)を用いてエッチング処理を施すことによって、メッキ埋込層26及び拡散防止膜22の露出部を除去して相互接続用導体28を形成する。

【0064】図8(f)参照

次いで、レジストパターン27を除去したのち、CMP法を用いてp型シリコン基板11の裏面を相互接続用導体28の底部が露出するまで研磨し、次いで、再び、CVD法を用いてp型シリコン基板11の裏面に、厚さが、例えば、1.0μmのSiO<sub>2</sub>膜29を設ける。

【0065】図9(g)参照

次いで、SiO<sub>2</sub>膜29を選択的にエッチングして相互接続用導体28に対するコンタクトホールを形成したのち、相互接続用導体28の近傍に対応する開口部を有するレジストパターン30を設け、相互接続用導体28の底部を露出させる。

【0066】図9(h)参照

次いで、触媒金属となるPdの水和物コロイドを含む溶液中に浸漬して、触媒活性化したのち、上述の無電解メッキ浴を用いて露出部に厚さが、例えば、0.5μmの拡散防止膜31を形成する。

【0067】引き続いて、硫酸銅系の無電解メッキ浴を

用いて拡散防止膜31の上に、厚さが、例えば、0.5  $\mu\text{m}$ の無電解Cuメッキ層（図示を省略）を形成したのち、硫酸銅を主成分とする電解液を用いた電解銅メッキ処理を施すことによって裏面配線層32を形成する。なお、工程の説明は省略しているが、上段の半導体集積回路基板に設けた相互接続用導体23との接続のために接続配線層24を形成する。

【0068】図10参照上述の工程を接続回路パターンに応じて各半導体集積回路基板に対して行ったのち、上側の半導体集積回路基板に設けた相互接続用導体28と、下側の半導体集積回路基板に設けた接続配線層24とを接続部材25によって裏面配線層32を介して電気的に接続することによって、三次元半導体集積回路装置の基本的構成が完成する。

【0069】この場合も、接続部材25としてはAu/InバンパやAgフィラーを含む導電性接着剤を用い、これらを用いて低温で接着するものであり、上下の半導体集積回路基板同士の接着が不充分であれば、上下の半導体集積回路基板の間にエポキシ樹脂等の絶縁性接着剤を注入すれば良い。

【0070】なお、最下層となる半導体集積回路基板については、薄層化する必要はなく、且つ、基板を貫通する相互接続用導体は必ずしも設ける必要はない。但し、最下層となる半導体集積回路基板を介して電源配線及び接地配線を取り出す場合には、基板を貫通する相互接続用導体を設ければ良い。

【0071】この様に、本発明の第2の実施の形態においても、相互接続用導体28を形成する際に、拡散防止膜を無電解メッキ法によって形成しているので、低温処理で、且つ、簡単な装置構成によって相互接続用凹部18の内壁及び底部に拡散防止膜を確実に被着することができ、それによって、Cu等の相互接続用導体28を構成する金属元素のマイグレーションを確実に防止することができる。

【0072】また、本発明の第2の実施の形態においては、電解メッキ法を用いて相互接続用導体28を形成しているので、相互接続用凹部18を完全に埋め込むことができ、それによって、相互接続用導体28の機械的強度を高めるとともに、抵抗を低減することができる。

【0073】以上、本発明の各実施の形態を説明してきたが、本発明は各実施の形態に記載された構成・条件に限られるものではなく、各種の変更が可能である。例えば、上記の各実施の形態においては、拡散防止膜22、31をW-Ni-Co-Pからなる4元の無電解メッキ膜によって構成しているが、このような組成に限られるものではなく、Ta, W, Mo等の高融点金属の内の少なくとも一つを含み、且つ、Ni, Ti, Zr, Nb, Co, Cr, Fe, Zn, Cu等の非高融点金属を含んでいれば良く、例えば、Re-Co-Ni-N-P等の5元、W-Ni-B或いはNi-Mo-P等の3元の無電

解メッキ合金被膜を用いても良く、さらには、W-Ni等の2元の無電解メッキ合金被膜を用いても良いものである。

【0074】また、上記の第1の実施の形態においては、相互接続用導体を形成する際に、相互接続用貫通孔を完全に埋め込んでも良いものであり、さらに、この相互接続用貫通孔を確実に完全に埋め込むために、上記の第2の実施の形態と同様に電解メッキ法を用いても良いものである。この場合、拡散防止膜及びCuメッキベース層を無電解メッキ法によって形成したのち、Cuメッキ埋込層を電解メッキ法によって形成すれば良い。

【0075】また、上記の各実施の形態においては、相互接続用凹部或いは相互接続用貫通孔の内壁をSiO<sub>2</sub>膜によって絶縁被覆しているが、SiO<sub>2</sub>膜に限られるものではなく、SiN膜、SiON膜、或いは、SiOC膜を用いても良いものである。

【0076】また、上記の各実施の形態においては、基板としてp型シリコン基板を用いているが、n型シリコン基板を用い、このn型シリコン基板にp型ウエル領域を形成してnチャネル型MOSFETを形成し、他の領域にpチャネル型MOSFETを形成するようにしても良いものであり、さらには、半導体デバイスはMOSFET (IGFET)に限られるものではなく、バイポーラトランジスタ、或いは、バイポーラトランジスタとMOSFETとを混在させても良いものである。

【0077】また、基板はシリコンに限られるものではなく、GaAsやInP等のIII-V族化合物半導体等の化合物半導体を用いても良いものであり、それによって、高周波集積回路装置の三次元化が可能になる。

【0078】また、上記の各実施の形態においては、相互接続用導体をCuによって構成しているが、純粋なCuに限られるものではなく、Pd等を含むCu合金を用いても良いものであり、さらには、Au或いはAg等の他のメッキ可能な低抵抗金属を用いても良いものである。

【0079】また、上記の各実施の形態においては、三次元半導体集積回路装置の相互接続導体を形成する際の拡散防止膜として説明しているが、本発明はこの様な相互接続導体を形成する際の拡散防止膜に限られるものではなく、通常の半導体集積回路装置においてダマシン法を用いてCu埋込配線層及びスルービアを形成する際の拡散防止膜としても適用されるものである。

【0080】

【発明の効果】本発明によれば、半導体基板を貫通する相互接続導体をCu等で形成する際に、拡散防止膜を無電解メッキ法によって形成しているので、簡単な装置構成によって、深い相互接続用貫通孔或いは相互接続用凹部の内壁に拡散防止膜を確実に被着させることができ、相互接続用貫通孔或いは相互接続用凹部の内壁に設ける絶縁膜を低温CVD法で形成しても、Cu等のマイグレーションを確実に防止することができ、ひいては、三次

13

元半導体集積回路装置の高性能化及び低コスト化に寄与するところが多い。

【図面の簡単な説明】

【図 1】本発明の原理的構成の説明図である。

【図 2】本発明の第 1 の実施の形態の途中までの製造工程の説明図である。

【図 3】本発明の第 1 の実施の形態の図 2 以降の途中までの製造工程の説明図である。

【図 4】本発明の第 1 の実施の形態の図 3 以降の途中までの製造工程の説明図である。

【図 5】本発明の第 1 の実施の形態の図 4 以降の製造工程の説明図である。

【図 6】本発明の第 2 の実施の形態の途中までの製造工程の説明図である。

【図 7】本発明の第 2 の実施の形態の図 6 以降の途中までの製造工程の説明図である。

【図 8】本発明の第 2 の実施の形態の図 7 以降の途中までの製造工程の説明図である。

【図 9】本発明の第 2 の実施の形態の図 8 以降の途中までの製造工程の説明図である。

【図 10】本発明の第 2 の実施の形態の図 9 以降の製造工程の説明図である。

【図 11】従来の三次元半導体集積回路装置の途中までの製造工程の説明図である。

【図 12】従来の三次元半導体集積回路装置の図 11 以降の製造工程の説明図である。

【符号の説明】

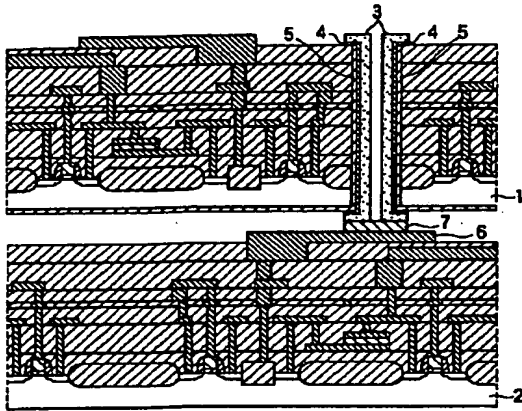
- 1 半導体基板
- 2 半導体基板
- 3 相互接続導体
- 4 拡散防止膜
- 5 絶縁膜
- 6 配線層
- 7 接続部材
- 11 p 型シリコン基板

14

- 12 素子分子埋込酸化膜
- 13 MOSFET
- 14 キャパシタ
- 15 層間絶縁膜
- 16 プラグ
- 17 配線層
- 18 相互接続用凹部
- 19 相互接続用貫通孔
- 20 SiO<sub>2</sub> 膜
- 21 レジストパターン
- 22 拡散防止膜
- 23 相互接続用導体
- 24 接続配線層
- 25 接続部材
- 26 メッキ埋込層
- 27 レジストパターン
- 28 相互接続用導体
- 29 SiO<sub>2</sub> 膜
- 30 レジストパターン
- 31 拡散防止膜
- 32 裏面配線層
- 41 p 型シリコン基板
- 42 素子分子埋込酸化膜
- 43 ゲート絶縁膜
- 44 ゲート電極
- 45 ソース・ドレイン領域
- 46 層間絶縁膜
- 47 ソース・ドレイン電極
- 48 層間絶縁膜
- 49 相互接続用凹部
- 50 熱酸化膜
- 51 相互接続用導体
- 52 表面配線層
- 53 SiO<sub>2</sub> 膜
- 54 裏面配線層

【図1】

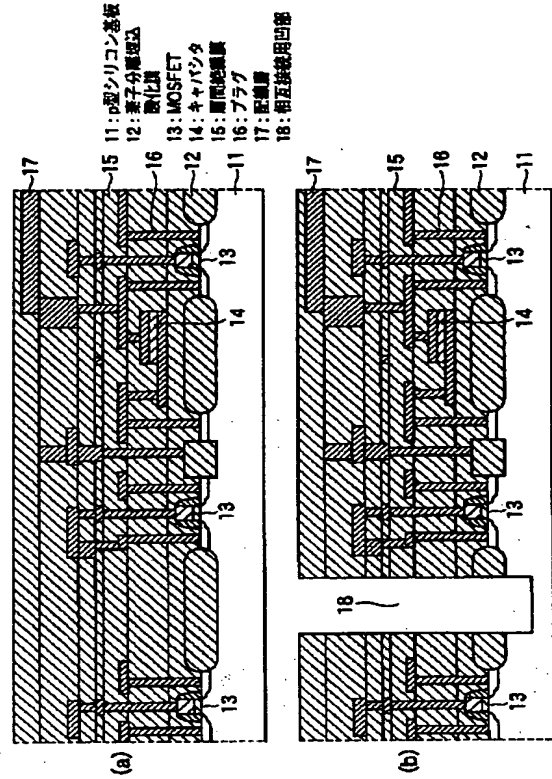
本発明の原理的構成の説明図



- 1: 半導体基板  
2: 半導体基板  
3: 相互接続導体  
4: 放熱防止膜  
5: 絶縁膜  
6: 配線層  
7: 接続部材

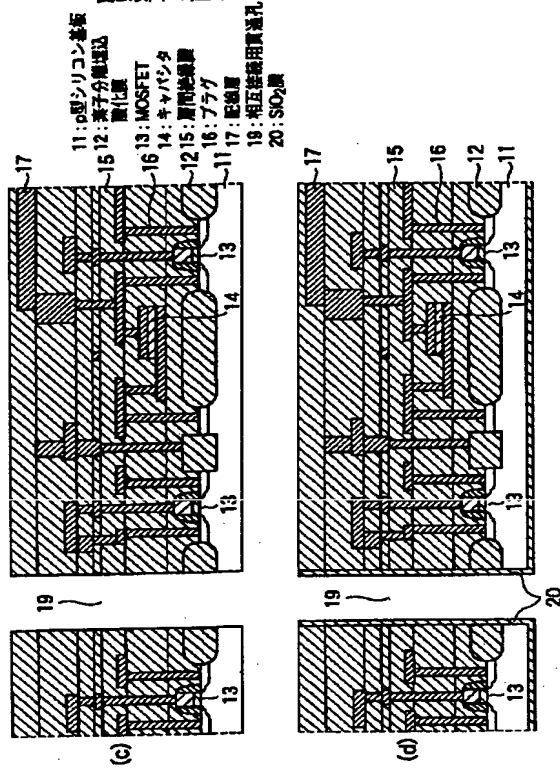
【図2】

本発明の第1の実施の形態の途中までの製造工程の説明図



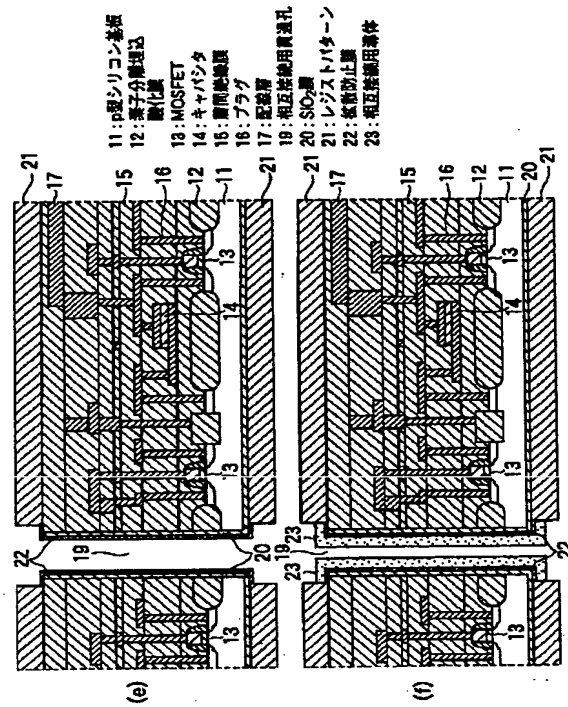
【図3】

本発明の第1の実施の形態の  
図2以降の途中までの製造工程の説明図



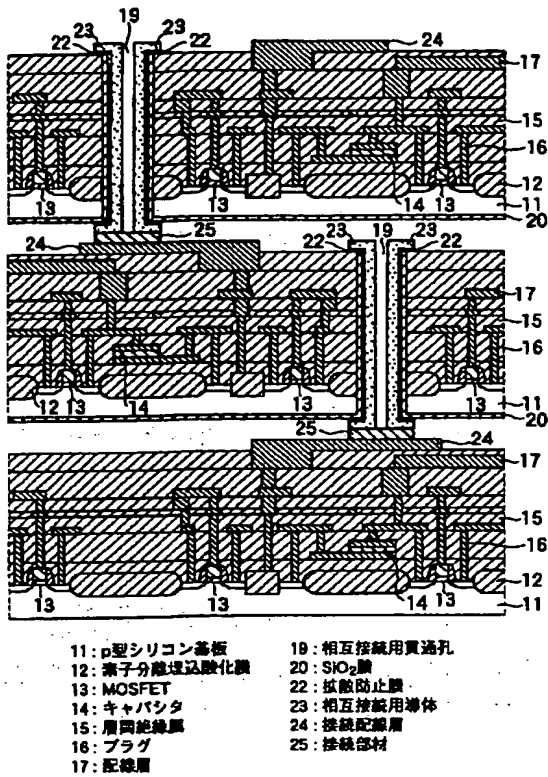
【図4】

本発明の第1の実施の形態の  
図3以降の途中までの製造工程の説明図



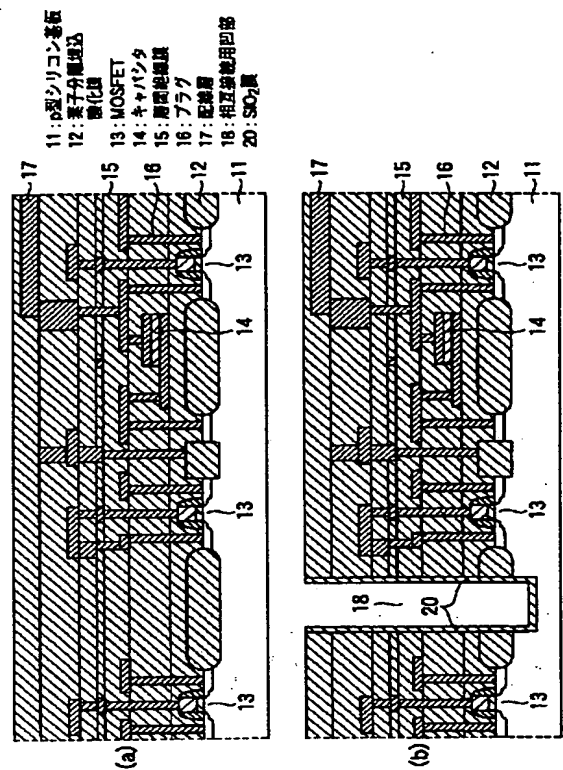
【図5】

本発明の第1の実施の形態の図4以降の製造工程の説明図



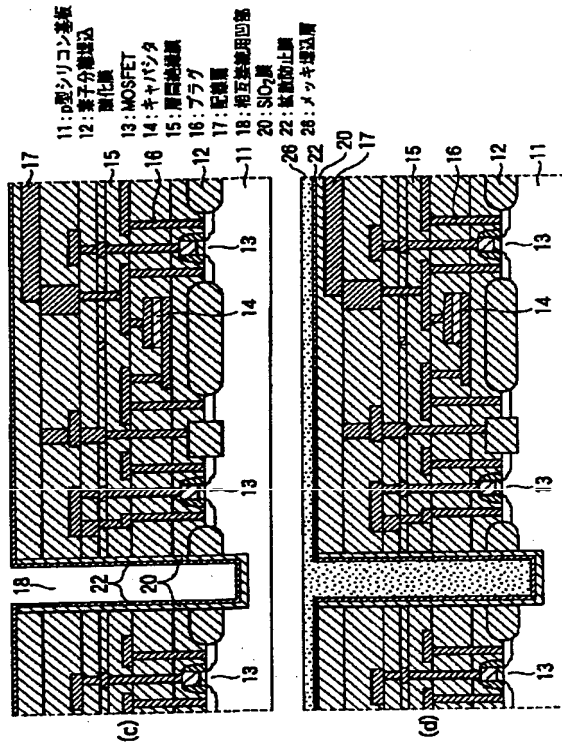
【図6】

本発明の第2の実施の形態の途中#での製造工程の説明図



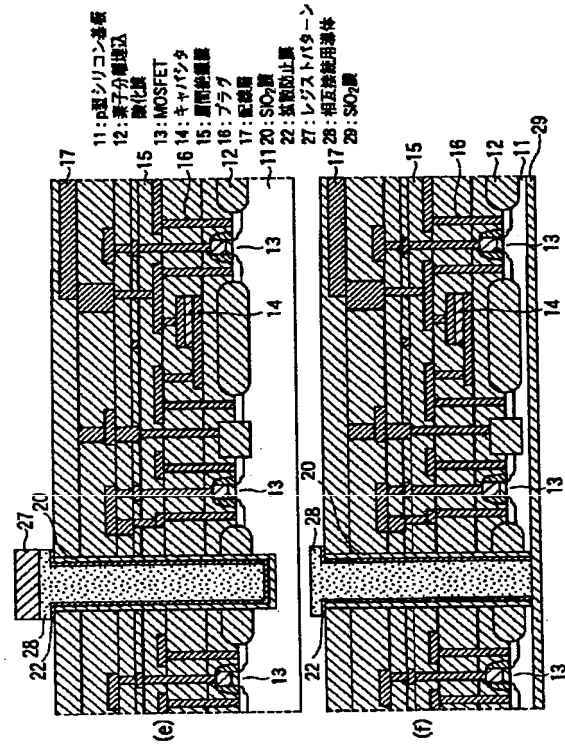
【図7】

本発明の第2の実施の形態の  
図6以降の途中までの製造工程の説明図



【図8】

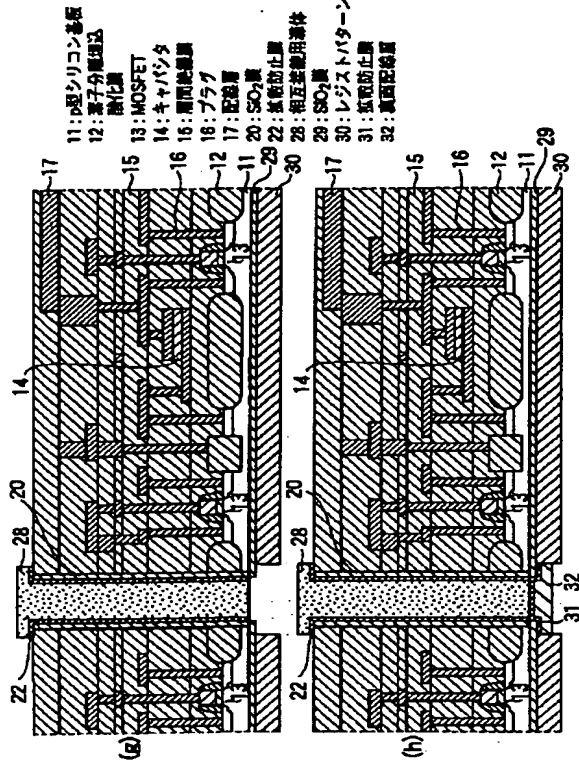
本発明の第2の実施の形態の  
図7以降の途中までの製造工程の説明図





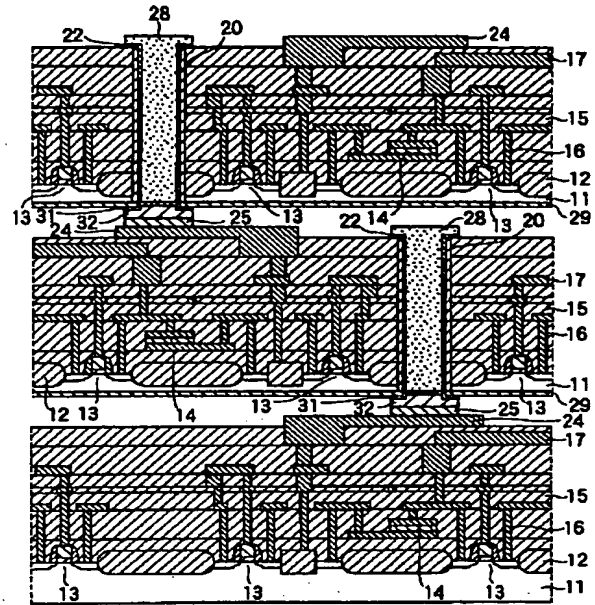
【図9】

本発明の第2の実施の形態の  
図8以降の途中までの製造工程の説明図



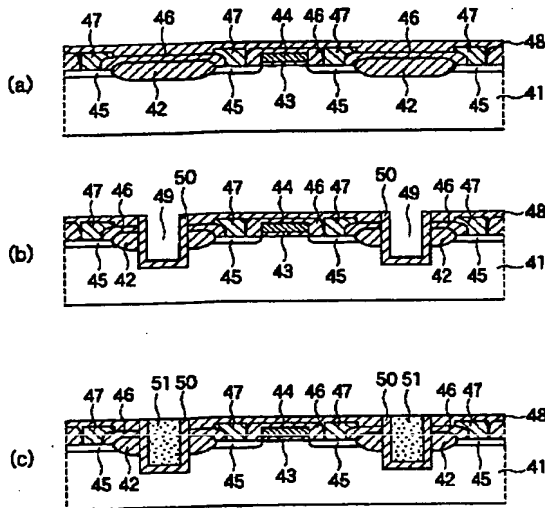
【図10】

本発明の第2の実施の形態の図9以降の製造工程の説明図



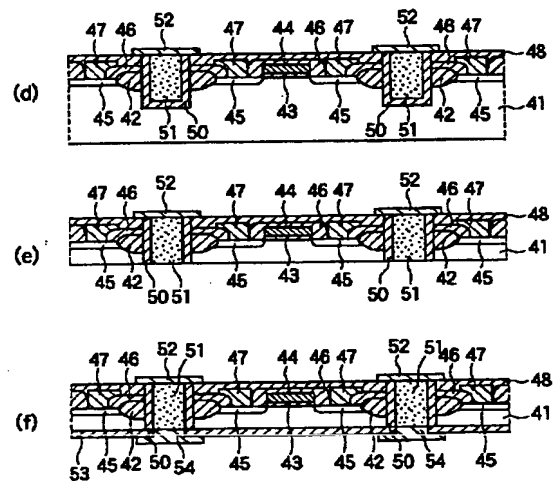
- |               |                        |                        |
|---------------|------------------------|------------------------|
| 11: p型シリコン基板  | 16: プラグ                | 25: 接続部材               |
| 12: 素子分離埋込酸化膜 | 17: 配線層                | 28: 相互接続用導体            |
| 13: MOSFET    | 20: SiO <sub>2</sub> 膜 | 29: SiO <sub>2</sub> 膜 |
| 14: キャパシタ     | 22: 拡散防止膜              | 31: 拡散防止膜              |
| 15: 層間絶縁膜     | 24: 接続配線層              | 32: 表面配線層              |

【図11】

従来の三次元半導体集積回路装置の  
途中までの製造工程の説明図

41: p型シリコン基板  
42: 素子分離埋込酸化膜  
43: ゲート絶縁膜  
44: ゲート電極  
45: ソース・ドレイン領域  
46: 層間絶縁膜  
47: ソース・ドレイン領域  
48: 層間絶縁膜  
49: 相互接続用凹部  
50: 熱酸化膜  
51: 相互接続用導体

【図12】

従来の三次元半導体集積回路装置の  
図11以降の製造工程の説明図

41: p型シリコン基板  
42: 素子分離埋込酸化膜  
43: ゲート絶縁膜  
44: ゲート電極  
45: ソース・ドレイン領域  
46: 層間絶縁膜  
47: ソース・ドレイン領域  
48: 層間絶縁膜  
49: 相互接続用凹部  
50: 熱酸化膜  
51: 相互接続用導体  
52: 表面配線層  
53: SiO<sub>2</sub>膜  
54: 裏面配線層

フロントページの続き

(51) Int. Cl. 7

識別記号

F I

H 0 1 L 21/88

ターマコード\* (参考)

R

(71) 出願人 598062952  
緒方工業株式会社  
熊本県熊本市上熊本2丁目9番9号

(71) 出願人 598011167  
株式会社 野田市電子  
熊本県熊本市世安町335番地

(72) 発明者 新宮原 正三  
広島県東広島市鏡山1-4-1 広島大学  
内

(72) 発明者 馬場 知幸  
熊本県熊本市長峰西1丁目4番15号 株式  
会社熊防メタル内

(72) 発明者 古屋 明彦  
東京都台東区1丁目5番1号 凸版印刷株  
式会社内

(72) 発明者 王 増林  
熊本県上益城郡益城町田原2081-10 財団  
法人くまもとテクノ産業財団内

(72) 発明者 安田 敬一郎  
熊本県熊本市上熊本2-9-9 緒方工業  
株式会社内

(72) 発明者 池田 秀雄  
熊本県熊本市世安町335番地 株式会社野  
田市電子内

(72) 発明者 萩原 宗明  
熊本県上益城郡益城町田原2081-10 財団  
法人くまもとテクノ産業財団内

Fターム(参考) 4M104 AA01 AA04 BB01 BB04 BB36  
BB37 CC01 DD04 DD52 DD53  
DD55 FF01 FF17 FF22 GG06  
GG09 GG10 GG14 GG15 HH04  
HH05  
5F033 GG02 HH07 HH11 HH12 HH15  
HH19 HH20 JJ01 JJ07 JJ11  
JJ12 JJ15 JJ19 JJ20 KK04  
LL04 LL06 MM05 MM13 MM30  
NN05 NN07 PP27 PP28 PP33  
QQ09 QQ16 QQ37 QQ48 QQ58  
QQ65 RR01 RR04 RR06 RR08  
RR15 SS11 TT08 XX28

**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**